

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-321759**

(43)Date of publication of application : **03.12.1996**

(51)Int.Cl.

**H03K 17/56**  
**H01L 21/06**  
**H01L 21/822**  
**H01L 29/74**  
**H01L 29/747**  
**H01L 29/80**

(21)Application number : **07-128416**

(71)Applicant : **TOKIN CORP**

(22)Date of filing : **26.05.1995**

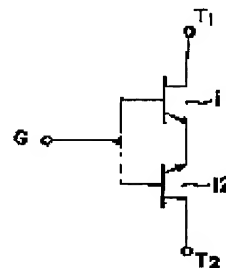
(72)Inventor : **ONO TOSIAKI**

## (54) HIGH FREQUENCY LARGE POWER DEVICE

### (57)Abstract:

**PURPOSE:** To obtain the device for high frequency large power application by reducing driving voltage and power and devising a temperature characteristic with respect to a current to be negative.

**CONSTITUTION:** The device is provided with static induction transistors(TRs) 11, 12 and source electrodes of the TRs are connected to be a common electrode. Or gate electrodes of them may be connected to obtain a common control terminal. Normally-OFF bipolar mode static induction TRs are employed for the TRs 11, 12. Or Normally-ON bipolar mode static induction TRs are employed for the TRs 11, 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-321759

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/56		9184-5K	H 0 3 K 17/56	Z
H 0 1 L 21/06			H 0 1 L 29/747	
21/822			27/06	T
29/74			29/74	M
29/747				G
審査請求 未請求 請求項の数7 O L (全 8 頁) 最終頁に続く				

(21)出願番号 特願平7-128416

(22)出願日 平成7年(1995)5月26日

(71)出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(72)発明者 小野 敏明

宮城県仙台市太白区郡山六丁目7番1号

株式会社トーキン内

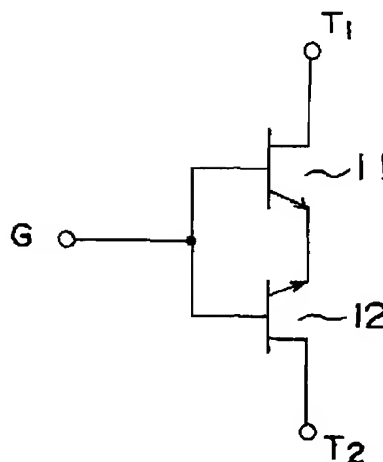
(74)代理人 弁理士 後藤 洋介 (外3名)

(54)【発明の名称】 高周波大電力デバイス

(57)【要約】

【目的】 電圧駆動及び駆動電力を小さくするとともに電流に対する温度特性を負として高周波大電力とするデバイスを提供すること。

【構成】 静電誘導型トランジスタ11及び12を備えており、これら静電誘導型トランジスタは互いにソース電極同士が接続されて共通ソース電極とされている。さらに、互いにゲート電極同士を接続して制御端子とするようにしてもよい。静電誘導型トランジスタ11及び12として、例えば、ノーマリオフ型バイポーラモード静電誘導型トランジスタが用いられる。また、第2の静電誘導型トランジスタ11及び12としてノーマリオン型静電誘導型トランジスタを用いるようにしたもよい。



## 【特許請求の範囲】

【請求項1】 第1及び第2の静電誘導型トランジスタを備え、前記第1及び前記第2の静電誘導型トランジスタは互いにソース電極同士が接続されて共通ソース電極とされていることを特徴とする高周波大電力デバイス。

【請求項2】 請求項1に記載された高周波大電力デバイスにおいて、前記第1及び前記第2の静電誘導型トランジスタは互いにゲート電極同士が接続され制御端子とされることを特徴とする高周波大電力デバイス。

【請求項3】 請求項1又は2に記載された高周波大電力デバイスにおいて、第1及び第2のダイオードを有し、前記第1のダイオードはその陰極が前記第1の静電誘導型トランジスタのゲート電極に接続され、前記第2のダイオードはその陰極が前記第2の静電誘導型トランジスタのゲート電極に接続されおり、前記第1及び前記第2のダイオードはその陽極が互いに接続されるとともに前記共通ソース電極に接続されていることを特徴とする高周波大電力デバイス。

【請求項4】 請求項1乃至3のいずれかに記載された高周波大電力デバイスにおいて、前記第1及び前記第2の静電誘導型トランジスタはそれぞれノーマリオフ型バイポーラモード静電誘導型トランジスタであることを特徴とする高周波大電力デバイス。

【請求項5】 請求項1乃至3のいずれかに記載された高周波大電力デバイスにおいて、前記第1及び前記第2の静電誘導型トランジスタはそれぞれノーマリオン型静電誘導型トランジスタであることを特徴とする高周波大電力デバイス。

【請求項6】 請求項1に記載された高周波大電力デバイスにおいて、前記第1及び前記第2の静電誘導型トランジスタは1チップ上に構成されていることを特徴とする高周波大電力デバイス。

【請求項7】 請求項3に記載された高周波大電力デバイスにおいて、前記第1及び前記第2の静電誘導型トランジスタと前記第1及び前記第2のダイオードとは1チップ上に構成されていることを特徴とする高周波大電力デバイス。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、双方向型デバイスに関し、特に、双方向静電誘導型トランジスタに関する。

## 【0002】

【従来の技術】一般に、ACスイッチにおけるON-OFF（オン・オフ）制御、ランプ調光の位相制御にはトライアックが使用されている。トライアックは図9に示す構造を備えており、図10に示すシンボルで表される。そして、トライアックは図11に示す特性を備えている。このトライアックを図12（a）に示す交流回路に用いた際には、図12（b）乃至（d）に示す動作となる。

【0003】このようなトライアックは小さなゲート電流で双方向にターンオンが可能であるという特徴を有している関係上、上述のように交流制御用デバイス（特に、商用周波数制御用デバイス）として用いられている。

## 【0004】

【発明が解決しようとする課題】ところで、トライアックは、低周波用デバイスであり、さらに、電力損失が大きく、しかも、一度オンするとオフさせるためには電源電圧を逆方向にするかまたは電圧・電流を保持電圧・保持電流以下にしなければならない。また、トライアックでは、PN接合に電流が流れるため熱暴走を発生する可能性がある。

【0005】このような点を考慮すると、トライアックは、高周波制御用デバイスとして用いることが難しく、しかもトライアックの制御が難しく信頼性に欠けるといふ問題点がある。

【0006】本発明の目的は、電圧駆動で駆動電力が小さく、しかも電流の温度特性が負であり、大電流化容易な高周波大電力デバイスを提供することにある。

## 【0007】

【課題を解決するための手段】本発明によれば、第1及び第2の静電誘導型トランジスタを備え、前記第1及び前記第2の静電誘導型トランジスタは互いにソース電極同士が接続されて共通ソース電極とされていることを特徴とする高周波大電力デバイスが得られる。

【0008】この際、必要に応じて、前記第1及び前記第2の静電誘導型トランジスタは互いにゲート電極同士が接続され制御端子とされる。

【0009】さらに、本発明では、第1及び第2の静電誘導型トランジスタと第1及び第2のダイオードとを備え、前記第1及び前記第2の静電誘導型トランジスタは互いにソース電極同士が接続されて共通ソース電極とされ、前記第1のダイオードはその陰極が前記第1の静電誘導型トランジスタのゲート電極に接続され、前記第2のダイオードはその陰極が前記第2の静電誘導型トランジスタのゲート電極に接続されおり、前記第1及び前記第2のダイオードはその陽極が互いに接続されるとともに前記共通ソース電極に接続されていることを特徴とする高周波大電力デバイスが得られる。

## 【0010】

【作用】本発明では、一対の静電誘導型トランジスタのソース電極同士を接続するようにしたから、双方向のデバイスを得ることができ、しかも、内部抵抗の温度特性が正となる。また、静電誘導型トランジスタとしてノーマルオン型構造のものをを用いると、電流不飽和特性を示し、電圧駆動となる。その結果、駆動電力が小さくスイッチングスピードが高速となる。一方、静電誘導型トランジスタとしてノーマルオフ型構造のものをを用いると、内部抵抗を小さくすることができる。

【0011】

【実施例】以下本発明について実施例によって説明する。

【0012】本発明による高周波大電力デバイスは、静電誘導型トランジスタ(Static Induction Transistor, 以下SITと呼ぶ)を備えている。一般に、SITとして、ノーマリオン型SIT及びノーマリオフ型SIT(バイポーラモードSIT:Bipolar Mode SIT)が知られている。そして、SITはチャネル部の幾何学的形状及び不純物濃度の制御によってノーマリオン型及びノーマリオフ型いずれにも設計することができる。

【0013】SITの構造として、埋め込みゲート構造型(図1)、切り込みゲート構造型(図2)、及び表面線型(図3)が知られている。図1乃至図3に示すSITにおいて、図示のSITはそれぞれドレインオーミック層となる $N^+$ シリコン基板1、 $N^-$ ドレイン層2、 $P^+$ ゲート領域4及び4'、 $N^-$ ソース層5、 $N^+$ ソースオーミック層6を備えている。いずれのゲート構造のSITにおいても、チャネル部Aによって電気的特性が決定される。つまり、チャネル部Aの不純物濃度 $N_d$ 、チャネル部Aの幅 $W$ 、及びチャネル部Aの長さ $L$ によって電気的特性が支配される。

【0014】ここで、図4及び図5にそれぞれ図1及び図2に示すチャネル部Aを拡大して示す。埋め込みゲート構造の場合(図4)、通常チャネル長さ $L$ は5~8 $\mu m$ の値がとなる。また $N^-$ ドレイン層2の不純物濃度 $N_d$ が $5 \times 10^{13} \text{ cm}^{-3}$ の場合においてチャネル幅 $W$ は5 $\mu m$ 以上に設定される。

【0015】切り込みゲート構造の場合(図5)、通常チャネル長さ $L$ は1~4 $\mu m$ に選ばれ、 $N^-$ ドレイン層2の不純物濃度 $N_d$ が $5 \times 10^{13} \text{ cm}^{-3}$ の場合においてチャネル幅 $W$ は5 $\mu m$ 以上に設定される。

【0016】上述のようにチャネル部Aを設定した際には、SITは一般にノーマリオン型となる。つまり、ゲート構造のいかににかかわらず、ゲートバイアス $V_g$ が零の時、チャネル内の空乏層は対向する両側のゲート端からせりだす各々の空乏層の端がちょうど接するジャストピンチオフ状態、又は、わずかに空乏層端が重なり合う状態に設定される。この場合、ドレイン電流 $I_D$ が流れ、そのドレイン電流 $I_D$ とドレイン電圧 $V_{DS}$ との関係はゲートバイアス $V_g$ をパラメータにとると、図6に示す状態となる。

【0017】一方、チャネル幅をさらに狭くして(または、チャネル幅 $W$ を一定にして、チャネル部の不純物密度を小さくして)、ゲートバイアス $V_g$ が零の時、対向ゲート間の空乏層が大きく重なり合うように設計すると、SITは零ゲートバイアス時に、ドレイン電流が流れないノーマリオフ型バイポーラモードSITになる(図7にその電流 $I_D$ -電圧 $V_{DS}$ 特性を示す)。なお、

図8にSITのシンボルを示す。

【0018】図6及び図7を参照して、ノーマリオン型SITとノーマリオフSITにおいて、その $I_D$ - $V_{DS}$ 特性で注目すべき点は、前者が電流飽和特性で、後者が電流飽和特性を示すことの他に、内部抵抗 $R_0$ (または $R_{00}$ )の値が前者に比べて後者が一桁以上小さいという点である。

【0019】ところで、ノーマリオン型SITは、電圧駆動デバイスであるため駆動電力が小さく、オンさせる際ゲートへのキャリア注入が不必要なためスイッチング動作において蓄積時間がなく高速動作が可能となる。一方、ノーマリオフ型SITは内部抵抗 $R_0$ が小さい。

【0020】また、ノーマリオン型SIT及びノーマリオフ型SITは、その内部抵抗 $R_0$ の温度特性が正である。つまり、温度が上昇すれば内部抵抗 $R_0$ が増加し、その結果、発熱による熱暴走が避けられるため、並列運転が容易となる。

【0021】図13を参照して、本発明による高周波大電力デバイスはノーマリオフ型SIT11及び12を備えており、ノーマリオフ型SIT11及び12のソース電極が互いに接続されている。そして、ノーマリオフ型SIT11及び12のドレイン電極を端子T1及びT2とされ、ノーマリオフ型SIT11及びノーマリオフ型SIT12のゲート電極は共通とされ端子Gとされている。つまり、図示の高周波大電力デバイスは3端子デバイスである。

【0022】図示はしないが、ノーマリオフ型SIT11及び12の代りにノーマリオン型SITを用いてもよく、この場合にも図13に示す例と同一の接続関係となる。そして、図13に示すデバイスを1チップで構成すると、図21に示す構成となる。

【0023】図14にノーマリオフ型SITを用いて図13に示す高周波大電力デバイスを構成した際の静特性を示す。図14に示すように、この高周波大電力デバイスは第I象現及び第III象現で飽和特性を示しており、その動作点はゲート電流によって任意に選択できる特性であることがわかる。

【0024】ノーマリオフ型SITを用いた高周波大電力デバイスを交流回路に用いた際の基本動作について説明する。

【0025】図15(a)に示すように高周波大電力デバイスを接続する。そして端子T1及びT2は電源(e)に接続される。つまり、端子T1及びT2間に図12(b)に示す交流電圧が印加されているものとする。ゲート信号 $I_g$ (図12(d))によって負荷電流( $I_L$ )は図12(c)に示すようにコントロールされる。つまり、ゲート信号に応じて任意の時間に任意の時間分だけ負荷電流を流すことができる。そして、ゲート信号を切ることにより、電圧が印可されていても負荷電流を切ることができる。

【0026】このように、ノーマリオフ型SITを用いた際には電流駆動型デバイスとなり、上述のように、ノーマリオフ型SITは低損失で、抵抗の温度特性が正であるとともに熱暴走を起こしにくいから、この高周波大電力デバイスも低損失で、抵抗の温度特性が正であるとともに熱暴走を起こしにくいという特徴をもっている。

【0027】図16にノーマリオン型SITを用いて図13に示す高周波大電力デバイスを構成した際の静特性を示す。図16に示すように第I象現及び第III象現で不飽和特性を示しており、その動作点はゲート電圧によって任意に選択できる特性であることがわかる。

【0028】ノーマリオン型SITを用いた高周波大電力デバイスを交流回路に用いた際の基本動作について説明する。

【0029】図17(a)に示すように高周波大電力デバイスを接続する。そして端子 $T_1$ 及び $T_2$ は電源(e)に接続される。つまり、端子 $T_1$ 及び $T_2$ 間に図17(b)に示す交流電圧が印加されているものとする。ゲート信号(ゲート電圧) $V_g$ (図17(d))によって負荷電流( $I_L$ )は図17(c)に示すようにコントロールされる。つまり、ゲート信号に応じて任意の時間に任意の時間分だけ負荷電流を流すことができる。そして、ゲート信号を切ることにより、電圧が印可されていても負荷電流を切ることができる。

【0030】このように、ノーマリオン型SITを用いた際には電圧駆動型のデバイスとなり、上述のように、ノーマリオン型SITは駆動電力が小さく、しかも不飽和特性であるとともに高速であり、抵抗の温度特性が正、熱暴走を起こしにくいから、この高周波大電力デバイスも駆動電力が小さく、しかも不飽和特性であるとともに高速であり、抵抗の温度特性が正、熱暴走を起こしにくいという特徴をもっている。

【0031】ここで、図18乃至図20に本発明による他の実施例を示す。

【0032】図18に示す実施例では、ノーマリオフ型SIT11及び12のゲート電極が独立している。つまり、図18に示す実施例は2ゲート型である。なお、ノーマリオン型SITを用いた場合にも同様に構成できる。そして、図18に示すデバイスを1チップで構成すると、図22に示す構成となる。

【0033】図19に示す実施例では、ノーマリオフ型SIT11及び12のゲート電極間がダイオード13及び14で接続されている。具体的には、ダイオード13の陰極がノーマリオフ型SIT11のゲート電極に接続され、ダイオード14の陰極がノーマリオフ型SIT12のゲート電極に接続されている。そして、ダイオード13及び14の陽極同士が互いに接続されている。さらに、ダイオード13及び14の陽極はノーマリオフ型SIT11及び12のソース電極に接続されている。つまり、図19に示す実施例は、ダイオード内蔵1ゲート型

の高周波大電力デバイスである。なお、ノーマリオン型SITを用いた場合にも同様に構成できる。そして、図19に示すデバイスを1チップで構成すると、図23に示す構成となる。

【0034】図20に示す実施例は、図19と同様な接続関係のダイオード13及び14を備え、ノーマリオフ型SIT11及び12のゲート電極が互いに独立した構成である。つまり、図20に示す実施例は、ダイオード内蔵2ゲート型の高周波大電力デバイスである。なお、ノーマリオン型SITを用いた場合にも同様に構成できる。そして、図20に示すデバイスを1チップで構成すると、図24に示す構成となる。

【0035】上述のように、ダイオードを内蔵することによって、ノーマリオフ型SITを用いた場合には、一方のノーマリオフ型SITのチャンネルに流れる電流の一部が他方のノーマリオフ型SITのゲート電流とされ、これによって、電流増幅率が大きくなる。一方、ノーマリオン型SITを用いた場合には、一方のノーマリオン型SITのチャンネルに流れる電流の一部が他方のノーマリオン型SITのゲート電流となり、これによって、内部抵抗 $R_o$ を低くすることができる。

【0036】なお、本発明によるデバイスはゲート構造が埋め込みゲート構造、切り込みゲート構造、及び表面配線構造SITともに実現可能である。

【0037】

【発明の効果】以上説明したように、本発明では、抵抗の温度特性が正となるばかりでなくゲート信号によって動作点及び通電時間を任意に設定できるという効果がある。そして、静電誘導型トランジスタとしてノーマリオフ型の静電誘導型トランジスタを用いれば、大電流低損失とすることができ、静電誘導型トランジスタとしてノーマリオン型の静電誘導型トランジスタを用いれば、高耐圧及び高周波大電力とすることができる。

【図面の簡単な説明】

【図1】埋め込みゲート構造のSITを示す断面図である。

【図2】切り込みゲート構造のSITを示す断面図である。

【図3】表面配線ゲート構造のSITを示す断面図である。

【図4】図1に示すSITにおいてチャンネル部を拡大して示す図である。

【図5】図2に示すSITにおいてチャンネル部を拡大して示す図である。

【図6】ノーマリオン型SITの電流・電圧特性を示す図で、(a)は小電流高電圧領域を示す図、(b)は大電流低電圧領域を示す図である。

【図7】ノーマリオフ型SITの電流・電圧特性を示す図で、(a)は小電流高電圧領域を示す図、(b)は大電流低電圧領域を示す図である。

10

20

30

40

50

【図8】 ノーマリオン型SIT及びノーマリオフ型SITのシンボル図である。

【図9】 トライアックの構造を示す図である。

【図10】 トライアックのシンボル図である。

【図11】 トライアックの静特性を示す図である。

【図12】 交流回路におけるトライアックの基本動作を示す図であり、(a)は基本回路を示す図、(b)は電源電圧波形を示す図、(c)は負荷電流波形を示す図、(d)はゲート信号波形を示す図である。

【図13】 本発明による高周波大電力デバイスを示す図である。

【図14】 図13においてSITとしてノーマリオフ型SITを用いた際の静特性を示す図である。

【図15】 ノーマリオフ型SITを用いた際の交流回路における基本動作を示す図であり、(a)は基本回路を示す図、(b)は電源電圧波形を示す図、(c)は負荷電流波形を示す図、(d)はゲート信号波形を示す図である。

【図16】 図13においてSITとしてノーマリオン型SITを用いた際の静特性を示す図である。

【図17】 ノーマリオン型SITを用いた際の交流回路における基本動作を示す図であり、(a)は基本回路を示す図、(b)は電源電圧波形を示す図、(c)は負荷

電流波形を示す図、(d)はゲート信号波形を示す図である。

【図18】 本発明による高周波大電力デバイスの他の実施例を示す図である。

【図19】 本発明による高周波大電力デバイスの他の実施例を示す図である。

【図20】 本発明による高周波大電力デバイスの他の実施例を示す図である。

【図21】 図13に示すデバイスを1チップ上で構成した際の断面図である。

【図22】 図18に示すデバイスを1チップ上で構成した際の断面図である。

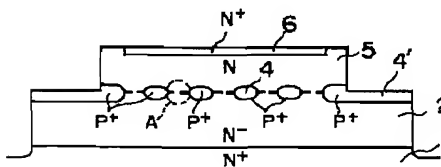
【図23】 図19に示すデバイスを1チップ上で構成した際の断面図である。

【図24】 図20に示すデバイスを1チップ上で構成した際の断面図である。

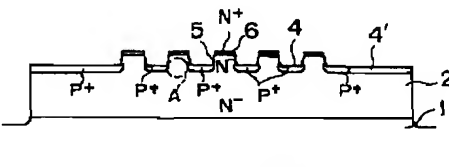
【符号の説明】

- 1 N<sup>+</sup> シリコン基板 (N<sup>+</sup> ドレインオーミック層)
- 2 N<sup>-</sup> ドレイン層
- 4 P<sup>+</sup> ゲート層 (P<sup>+</sup> ゲート領域)
- 5 Nソース層
- 6 N<sup>+</sup> ソースオーミック層

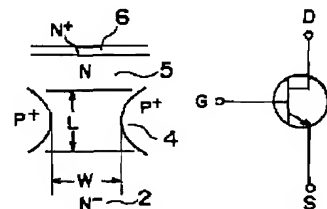
【図1】



【図2】



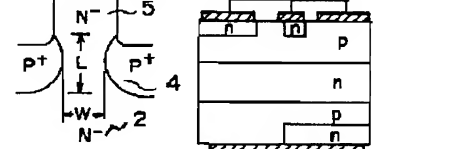
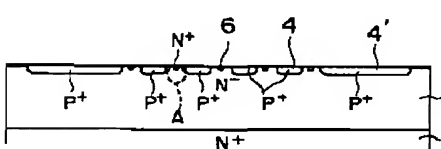
【図4】



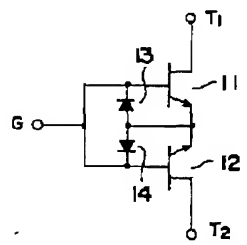
【図8】



【図3】



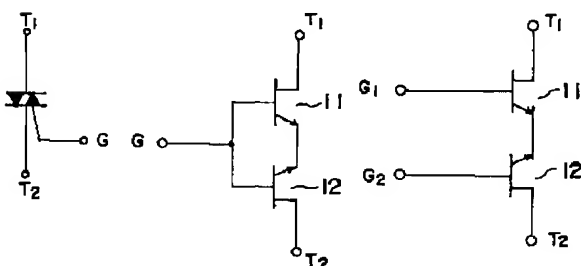
【図19】



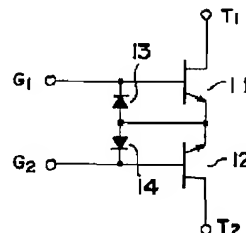
【図10】

【図13】

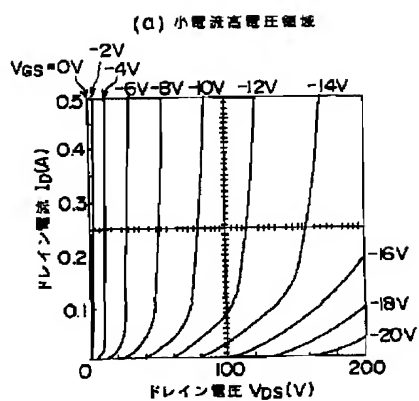
【図18】



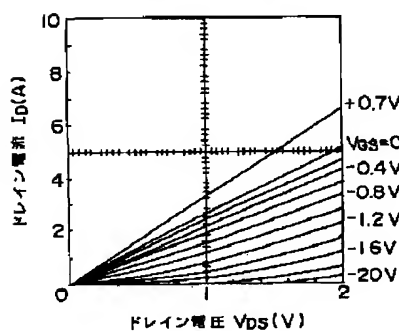
【図20】



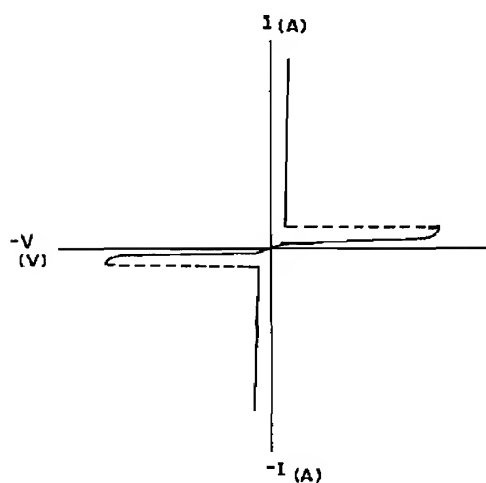
【図6】



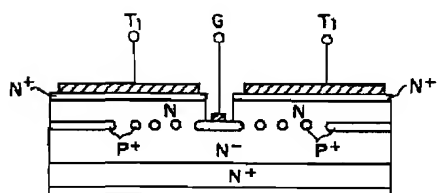
(b) 大電流低電圧領域



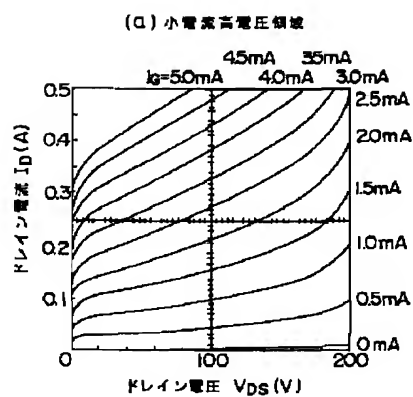
【図11】



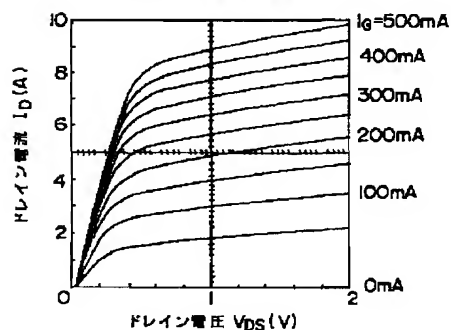
【図21】



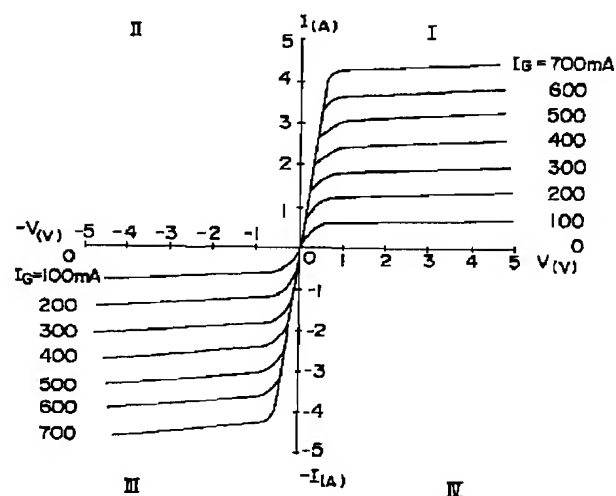
【図7】



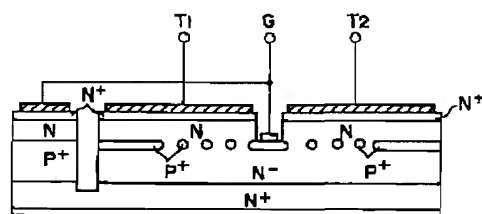
(b) 大電流低電圧領域



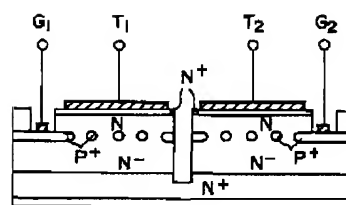
【図14】



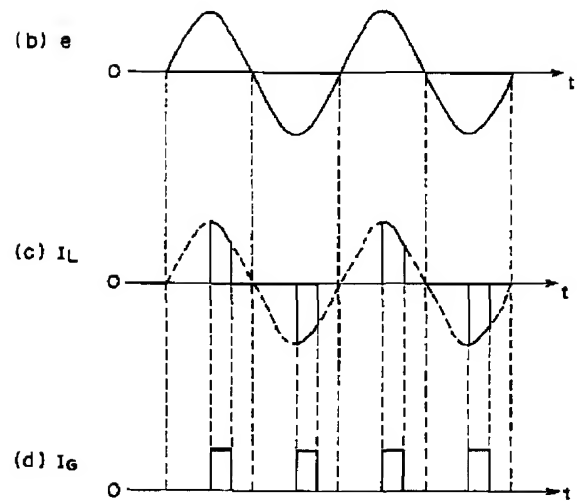
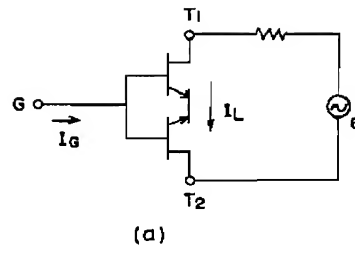
【図23】



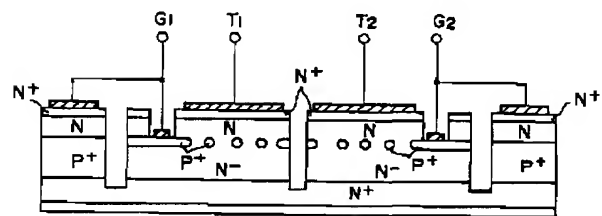
【図22】



【図 15】

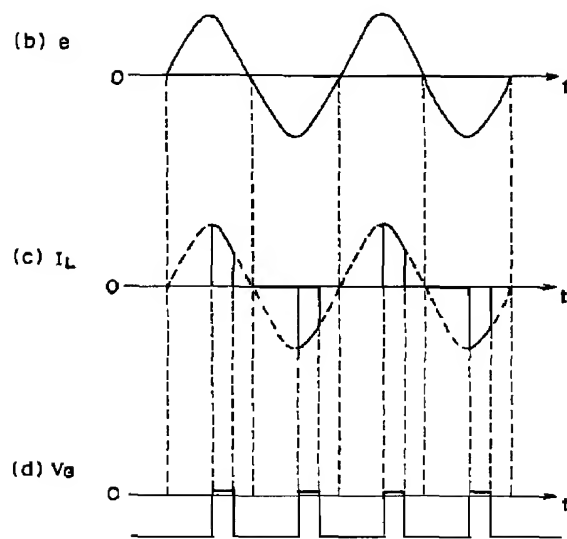
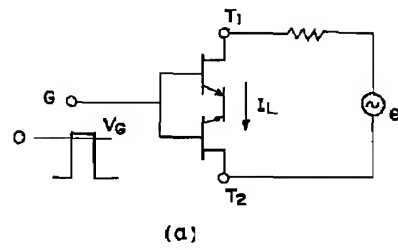


【图 2 4】





【図17】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 29/80

識別記号

庁内整理番号  
7376-4M

F I  
H 0 1 L 29/80

技術表示箇所

V